

ニューラルネットワークのハードウェア

秋山 泰

1. はじめに

ニューラルネットワークの基礎研究は1940年代からの長い歴史をもつ分野であり、現在では大脳生理学・認知科学・システム工学・非線形数学・統計学などの専門家を巻き込み大きな学際的領域をなすにいたっている。一方で応用研究についても、80年代後半から実に多様な分野でニューラルネットワークの利用が検討されている。たとえば機械制御・化学分析・遺伝子解析・画像識別・手書き文字認識・音声認識・投資相談などにおいて、ニューラルネットワークにもとづいて系をモデル化し、ネットワーク上の学習則を利用してモデルのパラメータを経験的に同定することが広く試みられている。

このような大規模な問題にニューラルネットワーク・モデルを適用しようとするれば、計算の高速化への要求がおのずと生じてくる。大量のデータを与えて入出力関係を学習させる場合には、ネットワークの動作のシミュレーションを何億回も繰り返して計算することも珍しくはない。さらに基礎研究者にとっても、ニューラルネットワークの新たなアルゴリズムを模索する作業において、シミュレーションの高速化は深刻な要求となっている。

ここで、ニューラルネットワークにおける情報処理には以下の特徴があるから、無駄を切り詰めた専用回路をもつハードウェアを設計し、それらを並列に動作させて、台数効果により速度を稼ぐという案が大変に魅力的となる。

1. 各ユニット（ニューロン）での処理が単純。
2. 扱う情報（結合荷重・活性値）の構造が単純。
3. ユニット毎の処理が並列に行なえる。

ニューラルネットワークの計算を高速化するための専用ハードウェアには、以下の4種類の形態がみられる [1-3]。

- a) アナログ回路技術にもとづく専用VLSI化
- b) デジタル回路技術にもとづく専用VLSI化
- c) 既存の高速デジタル乗算チップの利用

d) 光技術の利用

このうちc)は既存の信号処理用チップの流用によるもので「アクセラレータ」と呼称されている。パソコンやワークステーションへの増設ボードとして数種類の製品が市販化されており、現在のところ最も手軽かつ堅実なアプローチである。利用されている高速乗算チップの技術はすでにほぼ確立されており、ニューラルネットワークとしての特徴を特に用いたものではない。他方d)の光学的手法はまだ基礎研究の段階にあり、実用化はやや将来のことになると考えられている。紙面の都合上、本稿では電子技術にもとづくもののうち、ニューラルネットワークの並列性を積極的に活かすa)とb)のアプローチに話を絞る。この両者を合わせ、ニューラルネットワーク用の専用LSIのことを「ニューロチップ」と呼ぶ。アクセラレータが1~2桁の高速化を図るものとすれば、ニューロチップは3~6桁程度の高速化をめざす技術である。

2. アナログ方式 vs. デジタル方式

ニューロチップを作成するとき、アナログ回路技術にもとづくアプローチと、デジタル回路技術にもとづくアプローチとがあり、それぞれに一長一短がある。

アナログ方式では、各ニューロンの動作はオペアンプを基本とした単純な増幅器で模擬される。ニューロンの出力値は対応する増幅器の出力電位で表現されて、他の増幅器の入力側へと伝えられる。この方式の最も面白い点は、各ニューロンの入力側での総和計算が流入電流の加算として自然に実現できることである。理想的条件で考えれば、入力側の本数がいくら増えても総和計算は瞬時に終わることになる。（むろん実際には増幅器の能力が有限であるためにこうはならない。）他の増幅器から流入する電流は、結合点に設けられた抵抗器を通過する際に強さが変化する。これにより「結合荷重の乗算」が表現できる。ただし結合荷重を正しく表現するためには、正確な抵抗器を作成する技術が要求される。

デジタル方式では、各ニューロンの出力値や結合荷重などの数値は2進数で表現され、デジタル計算機と

同様の方式により各演算が行なわれる。デジタル乗算器はチップ上の回路面積を大きく消費するため、アナログ方式に比べると1チップへ集積できるニューロン数はずっと少なくなる。2進表現の桁数に応じて計算はいくらでも正確にできるが、ニューラルネット・モデルにおいては必ずしも高い計算精度が必要ではないこともあり、面積の割にやや効率が悪い。

アナログ方式とデジタル方式の利点と欠点の比較については文献[7]に詳しい。簡単にまとめれば、アナログ方式の最大の利点は回路を小型化し得ること。欠点は精度の確保が難しいことと設計が難しいこと。デジタル方式の最大の利点は回路が大規模化しても安定に動作得ること、欠点は乗算回路がチップ面積を大きく消費することである。

ところで、アナログにもデジタルにも分類できないニューロチップも存在する。たとえば両者を部分ごとに組み合わせたハイブリッド方式を採用したシステムである。またパルス列方式を採用したものもある。パルス列の頻

度によって数値の大小を表現する計算機というアイデアは古くから提案されていたが、ニューロチップとの相性の良さのため、再び注目されている。流れるパルス信号の電圧レベルは2値であるから設計にはデジタル技術を用いることができ、乗算はパルス頻度の変換となるため比較的簡単な回路で(精度はやや犠牲になるが)実現することができる。

これらのように、アナログとデジタルという単純な二分化ではニューロチップ技術の全体を正確に捉えることができなくなっている点には注意が必要である。

3. ニューロチップの分類

ここ数年の間にさまざまな大学機関および企業によって実験的あるいは商用のニューロチップが作成された。それらのうち比較的初期に作られたものの例を表1に示す。

ここではアナログかデジタルとかいう回路技術上の

表1 ニューロチップの例

開発機関	結合数	モデル	発表年
固定結合ニューロチップ			
AT&T Bell 研	22×22	N/BF/N	1986
AT&T Bell 研	±256×256	C/BF/C	1986
JPL	40×40	N/BF/N	1987
Caltech	(6/2)×2304	C/BF/C	1987
可変結合ニューロチップ			
JPL	32×32	N/BV/N	1985
AT&T Bell 研	±54×54	B/BV/C	1987
AT&T Bell 研	±96×46	B/BV/C	1988
MIT Lincoln 研	13×13	B/CV/C	1986
Arizona 州立大学	4×32×16	B/CV/C	1988
Johns Hopkins 大学	±(16×14+14×16)	C/BV/C	1989
Univ. Cath. de Louvain	±14×14	C/BV/C	1989
慶応義塾大学+ Univ. of South Carolina	±1×1	N/DRV/N	1988
Univ. of Edinburgh	±8×8	N/DV/N	1988
筑波大学+ 日立製作所	±7×6	D/DV/D	1989
富士通	±1×1	C/DV/C	1989
Pennsylvania 大学	32×16	N/DV/N	1989
Pennsylvania 大学	0×5	C/N/C	1989
学習機能つきニューロチップ			
Caltech	±21×22	B/BA/C	1986
Bell Comm. Research	±(5/2)×6	B/DA/CR	1987
AT&T Bell 研	1×5	N/CA/N	1989

分類ではなく、機能上の違いによって3つのグループにニューロチップを分類した。第1は固定結合ニューロチップ、第2は可変結合ニューロチップ、第3は学習機能付きニューロチップである。この3者の違いは、ニューロン間の結合荷重がいかに柔軟に実現されているかという点にある。

固定結合ニューロチップでは結合荷重は製作時に固定あるいは使用前に一度だけの書き込みしかできないが、可変結合ニューロチップでは使用中に荷重値を再設定することができる。固定結合型は集積度を高くできる利点があるが、一度デザインしたチップがよほどたくさん利用されるような応用分野でないか経済性の面で問題がある。ただし手書き文字認識や音声認識などいくつかの分野においては、このような“ベストセラーチップ”が登場する可能性も否定はできない。一方で可変結合型では、集積度ではやや劣るものの、1つのチップをさまざまな応用に利用できる。外部にマイコンなどをおけば、

表 2 ニューロチップ用の分類記号

	2 値	離散的 多 値	連続値	実現せ ず	
出力値	B	D	C	N	
結合荷重	固定	BF	DF	CF	N
	可変	BV	DV	CV	
	学習機能つき	BA	DA	CA	
内部活性化	B	D	C	N	

学習により結合荷重を変化させることも可能となる。学習機能により使用者の個人的な癖や好みに適応してくれる機械を作ろうと思うならば、これは可変結合型でなければ実現ができないことになる。

最後の学習機能付きニューロチップは、チップ内に学習規則が組み込まれており、動作中に自動的に結合荷重の調整が行なわれるものである。もしも学習の高速化を真剣に考えるのであれば、外部から結合荷重を再ロードしなければならない可変結合型では不十分で、チップ内部に学習機能をもたせることは必至と思われる。しかし学習機能付きチップには実用化までの課題がかなり残っている。学習制御用の回路が加わるため回路面積が大きくなりすぎる・能率の悪いHebb学習以外では回路表現が難しい・学習を有効に行なうには結合荷重の表現に十分な精度が要求されるためますます回路面積が大きくなる、などが問題点である。

表1の「結合数」の項目は、1チップ内に実現されたニューロン間結合（シナプス）の個数を表わしており各チップの規模の目安となる。1ニューロン当たりシナプス数×ニューロン数（×層数）の形式で表記する。たとえば96×46は、1チップの中で46個のニューロンが各々96本ずつの入力側結合をもつことを示す。±の記号がつく場合は結合荷重が正負どちらの値をも取れることを示す。デジタル方式の場合はこれが当然だが、アナログ方式の場合には両極性を表わす際に2倍の個数の抵抗器が必要となるため、回路面積の制約から正または負極性の分しか回路を実現していないものもある。16×14+14×16のような表示は、各層のニューロン数が異なる（この場合は16個-14個-16個の）3層ネットワークがチップ内に作成されていることを示す。また1つの抵抗器を共有して双方向に電流が流れるタイプのもものでは、シナプス数に1/2が乗じられている。

表1の「モデル」の項目は、そのチップにおいて出力値/結合荷重/内部活性化値がどのように表現されているかを示している。これらの表記は筆者が提案しているも

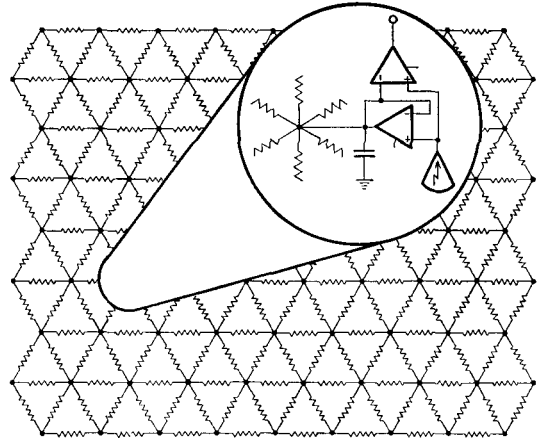


図 1 Caltech の網膜チップ ([5] より引用)

ので [1], 各記号の意味は表 2 に示すとおりである。表 2 において離散的な多値と連続値の違いは、ほぼデジタル実装とアナログ実装の違いに対応する。また結合荷重における F(Fixed), V(Variable), A(Adaptive) は、それぞれ先述の固定結合型、可変結合型、学習機能付きの 3 方式に対応する。特別な記号として、ある項目を特定しない場合を“X”で表わし、たとえば結合荷重が 2 値（結合/非結合）であるような固定結合型チップ全体を X/BF/X などと書く。ニューラルネットにおいては、局所安定状態から脱出するためにランダムネスが有効なことである。ランダムネスの発生源をもつチップには“R”の記号を付加した。

4. ニューロチップの実例

a) カリフォルニア工科大学 C. Mead ら(1987)[4, 5]
[分類記号: (6/2)×2304 C/BF/C]

生物の網膜の構造を模倣して設計された、画像の輪郭抽出などに用いるニューロチップ。6mm×8mmのCMOSチップ上に2,304個の光検出ニューロンが並ぶ。図1にチップの構成を示す。ニューロンは六角格子状に配置され、周囲6つのニューロンと双方向性の固定抵抗で結合されている。

光検出器が網膜の視細胞、抵抗器が水平細胞による側方抑制網、オペアンプが双極細胞の機能を模倣する。水平細胞は近傍の平均信号強度を求め、双極細胞が原信号と平均強度(ぼかさされた信号)との差を出力する。この操作はわれわれが人工衛星から届く画像を改善する際に行なう操作と原理的に同一であり、画像のエッジを強調してノイズから像を浮かびあがらせる働きがある。Mead

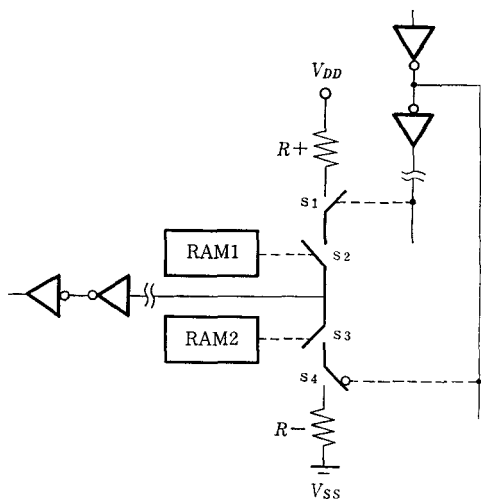


図2 AT&Tのチップの可変結合回路
([6]より引用)

らのグループでは数種類の網膜チップを試作しており、ロボット視覚への応用をめざしている。なお同様の網膜チップは東芝によっても作成されている。

b) AT&T ベル研 H. Graf ら (1987) [6]

[分類記号: $\pm 54 \times 54$ B/BV/C]

出力値は2値 {0, 1}。結合荷重は $\{-1, 0, +1\}$ で外部から設定可能。54個のニューロンとそれらを完全結合するための2,916個の結合要素を内蔵。ニューロンはインバータ2個で実現されており、結合部の回路構成に特徴がある(図2)。他のニューロンからの入力を直接に電流加算せず、入力線上に用意された小スイッチの開閉により、入力線への充電・放電を制御する。図では1つしか示していないが多くのニューロンからの入力が総合されて入力側の電位が決定される。

このチップは手書き文字認識などに用いられた。約50ビットのパターンを50個記憶することができ、入力されたパターンに最も近いパターンを1 μ 秒未満で答えることができる。1988年にはこのチップをさらに発展させ、 $\pm 96 \times 46$ の大きさをもち画像認識に効果を発揮するシフト入力機能に加えられたチップも作成された。AT&Tでは $\pm 256 \times 256$ などの固定結合型も試作している。

c) Univ. of Edinburgh A. Murray
ら (1988) [7]

[分類記号: $\pm 8 \times 8$ N/DV/N]

出力値を電圧ではなくパルス頻度で表現する。ただしパルスの発生にかかわるニューロン本体はチップ外に置き、結合網の部分だけをチップ内に収めている。高速に開閉するスイッチで入力パルスの通過/不通過を制御すると、パルス頻度の意味での乗算が実現される。結合荷重は4ビット+符号1ビットで表現され、図3の回路を通じてスイッチの開閉比が16段階に調節される。正の乗算/負の乗算に対応して入力は2系統ある。このような結合要素が1チップに 8×8 個作成されており、複数チップで大規模システムを作ることもできる。

筆者(当時慶大)と武藤(当時南カロライナ大)は1987年に同様の原理で乗算を行なうチップを作成し、特に結合荷重にランダムネスを導入する方法も提案した[8]。ただしこの時点ではわれわれはアナログ電流を入力することを考え、パルス列を通過させる提案はしていなかった。(アナログ電流も高速開閉スイッチに通過させると電流量を制御できる: スイッチトレジスタ技法)最近、同一の回路にパルス列を通過させる方式を近藤ら(東北大)が採用し[9]、複数チップによるシステムを試作している。

パルス列方式のチップとしては、平井(筑波大)と日立の共同開発によるチップ[10]も有名である。平井らは72個のチップを使った本格的なシステムを実働させた。

紙数の関係で他のチップについては説明を割愛する。[1-3]ほかを参照されたい。最近では大規模化が進んでおり、たとえば日立のウェハースケール実装(半径数センチのシリコンウェハの全体をニューロチップとす

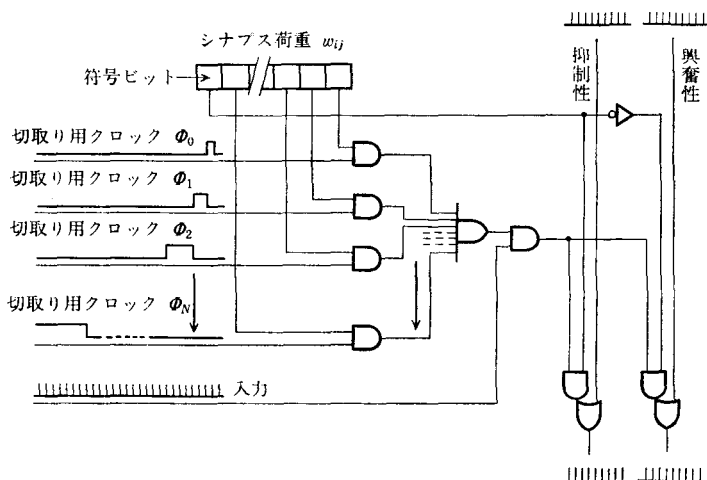


図3 Univ. of Edinburghのチップのシナプス回路([7]より引用)

る)等が注目される。採用されているモデルは単純だがニューロン数を桁違いに大きくとれるため、その応用が期待される。また非ウェハースケールでは、三菱電機やNTTによる高集積ニューロチップが面白い。東芝では学習機能付きチップの研究も進められている。また富士通や日電などではアクセラレータの超並列版の研究も進められている。海外ではニューロチップを専門とする会社(たとえば Neural Semiconductor 社)なども現われた。

ニューロチップは将来、機械の眼や耳の役割を果たす部品となり、われわれが日常生活で使用するさまざまな機器に組み込まれるかもしれない。ニューラルネット技術が、人間と機械の間をむすぶ柔軟なインタフェースを実現するための中核技術の1つとなることを期待している。

参 考 文 献

[1] 秋山:ニューロチップ, bit 別冊 人工ニューラルシステム, Vol.21, No.11 共立出版(1989), 166-182
 [2] 小池, 梶原:専用ハードウェアによるニューロコンピュータリング, 情報処理 Vol.29, No.9 (1988), 974-983
 [3] 久間, 高橋:ニューラルネットワークのハードウ

ェア, bit Vol.23, No.13 共立出版(1991), 4-17
 [4] マホワード, M.A., ミード, C.:人間の眼をもつシリコン網膜, 日経サイエンス, 1991年7月号 日経BP社(1991), 60-69
 [5] Mead, C.: *Analog VLSI and Neural Systems*, Addison-Wesley, (1989)
 [6] Graf, H. 他:ニューラルネットワーク・モデルのVLSIによる実現, bit 別冊 人工ニューラルシステム, Vol.21, No.11 共立出版(1989), 14-23
 [7] Murray, A. and Smith, A.: *Asynchronous VLSI Neural Networks Using Pulse-Stream Arithmetic*, *IEEE J. Solid-State Circuits*, Vol.23, No.3, (1988), 688-697
 [8] Akiyama, Y., Takefuji, Y. and Aiso, H.: *Conductance Programmable 'Neural' Chips Employing Switched Resistors*, *Proc. of JTC-CSCC '88*, (1988), 276-281
 [9] 近藤, 沢田:ゆらぎのあるパルス系列を用いた人工神経回路網のハードウェア化, 電子情報通信学会技術報告, NC91-80, (1991)
 [10] Hirai, Y. et al.: *A Digital Neuro-Chip with Unlimited Connectivity for Large Scale Neural Networks*, *Proc. of IEEE IJCNN'89* Vol.2, (1989), 163-169

表紙のデザインを公募します

このたび、オペレーションズ・リサーチ学会では、「オペレーションズ・リサーチ」誌の表紙デザインを公募することになりました。現在の表紙は、高井英造氏によるもので、1987年より毎年色を変えながら皆様に親しまれてまいりましたが、すでに6年目を迎えました。そこで、このあたりで表紙のデザインを変えて気分を一新したいと思います。ORの未来を切り開くような斬新なイメージの作品を募集します。皆様ふるってご応募ください。

<記>

応募資格:本学会正会員および学生会員、賛助会員の社員

- 締 切:1992年8月31日
 発 表:本誌紙上
 賞 金:10万円
 大 き さ:B5判
 そ の 他:①現在の表紙に記載されている文言を入れられるようにして下さい。
 ②3色刷り(1色はスミ色)で主たる色(2色)を変更できるようにして下さい。
 ③使用にあたっては、技術上の修正をすることがあります。
 ④著作権は学会に帰属し、応募作品は返却いたしません。(編集委員会)